IEEE 802.11nドラフト仕様に準拠したチップセット
AR5008

米国Atheros Communications社は，IEEE 802.11nのドラフト仕様に準拠したチップセット「AR5008」のサンプル出荷を開始した．本チップセットは，RF ICとベースバンド(MACを含む)LSIからなる．IEEE 802.11nは複数のアンテナを使って送受信を行うMIMO(multiple input multiple output)技術を用いることで，伝送速度や通信可能距離の向上を図る無線LAN規格．四つ以上のアンテナを用いた40MHzの周波数帯域のデータ転送速度は最大600Mbpsになるという．2006年1月にIEEE 802.11委員会において，ドラフト仕様が承認された．

本チップセットのRF ICとして，2.4GHz帯に対応した「AR2133」と2.4GHz/5GHzのデュアルバンドに対応した「AR5133」の2製品を用意する．いずれも，独立した三つの送受信回路を1チップに集積している．送受信系統を3×3構成(周波数帯域は40MHz)とした場合，データ転送速度は最大300Mbps(スループットは約180Mbps)．

ベースバンドLSIとしては，PCIホスト・インターフェースを備えた「AR5416」，PCI Expressホスト・インターフェースを備えた「AR5418」の2製品を用意する．

また，同社は本チップセットの評価用ボード「AP71(アクセス・ポイント/ルータ用)」，「CB72(CardBus用)」，「XB72(MiniCard用)」も提供する．

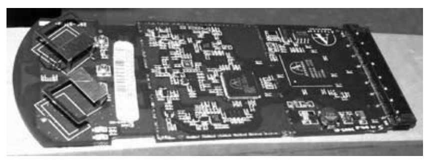


写真1　CardBus向け評価用ボード「CB72」の外観

■価格
下記に問い合わせ
■連絡先
アセロス・コミュニケーションズ株式会社
TEL 03-5501-4100
sales@atheros.com
http://www.atheros.com/

高速シリアル・インターフェース対応のFPGAと低コストFPGA
LatticeSC，LatticeECP2

米国Lattice Semiconductor社は，最大3.4Gbpsのシリアル・インターフェースに対応するFPGAファミリ「LatticeSC」と低価格のFPGAファミリ「LatticeECP2」を発売した．プログラム素子はSRAMセル．LatticeXPファミリなどとは異なり，コンフィグレーション・データ格納用のフラッシュ・メモリは内蔵していない．

LatticeSCは，約15,200～115,200個の4入力LUT(ルックアップ・テーブル)，56～424個の18Kビット・メモリ・ブロック，最大で3.4Gbpsに対応する8～32個のSERDESブロック，8個のアナログPLL(phase-locked loop)，12個のディジタルPLL(DLL)などを持つ．高速シリアル・トランシーバは，PCI ExpressやギガビットEthernet，Serial RapidIOなどの規格に対応する．また，プロトコル処理のための回路を内蔵する．

LatticeSCは，約5万ゲート規模のハード・マクロを複数搭載できる構造になっているという．例えば，PCI ExpressのMAC(media access control)機能やDDR SDRAMコントローラなどのハード・マクロを組み込める．これらの機能を搭載する製品は「LatticeSC-M」として発売される予定．

富士通の90nmのCMOSプロセスで製造する．電源電圧は，コア電圧が1.0～1.2V．「LatticeSC25」のサンプル出荷は2006年第1四半期から，量産出荷は同年第2四半期から開始する．

LatticeECP2は，約6,000～68,000個の4入力LUT，3～56個の18Kビット・メモリ・ブロック，3～22個のDSPブロックなどを持つ低コストFPGAである．一つのDSPブロックは，36×36ビットの乗算器と加減算/積算器で構成される．この乗算器は，4個の18×18ビット乗算器や8個の9×9ビット乗算器としても利用できる．「LatticeECP2-50」のサンプル出荷は2006年第1四半期から開始する．

表1　LatticeSCの概要

型　名	SC15	SC25	SC40	SC80	SC115
LUT数	15.2k	25.4k	40.4k	80.1k	115.2k
メモリ・ブロック数	56	104	216	308	424
SERDES数	8	16	16	32	32
PLL/DLL数	8/12	8/12	8/12	8/12	8/12

表2　LatticeECP2の概要

型　名	ECP2-6	ECP2-12	ECP2-20	ECP2-35	ECP2-50	ECP2-70
LUT数	6k	12k	21k	32k	48k	68k
メモリ・ブロック数	3	12	15	18	21	56
DSPブロック数	3	6	7	8	18	22
PLL/DLL数	2/2	2/2	2/2	2/2	2/4	2/6

■価格
49ドル(LatticeSC25，2007年の25,000個購入時の単価)
23.95ドル(LatticeECP2-50，2007年の10万個購入時の単価)
■連絡先
ラティスセミコンダクター株式会社
TEL 03-3342-0701
http://www.latticesemi.co.jp/

消費電力やノイズの問題を解消できる非同期ARMプロセッサ・コア
ARM996HS

英国ARM社は，非同期プロセッサ・コア「ARM996HS」のライセンス供与を開始した．同社のARM9コアを，クロックレスの非同期回路によって実装した．車載機器や医療用機器，組み込み制御機器などへの応用を想定している．

非同期プロセッサとは，ハンドシェイキング・プロトコルなどに基づいてデータを受け渡す非同期回路（セルフタイムド回路）によって構成したプロセッサである．現在のディジタル回路設計の主流である完全同期回路は使用しない．同期回路を制御するクロックが存在しないため，ダイナミック消費電力を抑えられる．また，クロック・スキューの増大や同時スイッチング，電磁放射ノイズなどに起因する不ぐあいを回避できる．さらに電流ピーク値が低いので，アナログ回路との統合が容易になる．

本プロセッサ・コアは，同期バス，非同期バスのどちらにも接続できる．ソフトウェアの開発には，ARM社の「RealView Development Suite」などを利用する．

本プロセッサ・コアは，Royal Philips Electronics社の一事業部であるHandshake Solutions社とARM社が共同開発した．Handshake社の技術を利用して，オランダPhilips Semiconductor社などがすでにスマート・カード用LSIやページャ用LSI，車載ネットワーク向けのトランシーバLSI，携帯電話用LSIを開発しているという．

■価格
下記に問い合わせ
■連絡先
アーム株式会社
TEL 045-477-3117
http://www.jp.arm.com/

マルチスレッド技術で性能を約60％向上させた32ビットCPUコア
MIPS32 34Kコア・ファミリ

米国MIPS Technologies社は，マルチスレッド技術を採用した組み込みシステム向け32ビットCPUコア「MIPS32 34Kコア・ファミリ」を発売した．マルチスレッド技術は，一つのCPU上で複数のスレッドを並列に実行し，演算リソースを有効活用する技術である．同社はこれを「MIPS MT ASE（Application Specific Extention）」と呼んでいる．例えば，マルチスレッド技術を採用していない同社の24KEコア・ファミリと比較すると，性能が約60％向上する．一方，チップ面積の増加は約14％にとどまるという．

本CPUコアは，MIPS32 Release2命令セット・アーキテクチャに準拠している．パイプライン構成は9段．32ビット命令を16ビットにエンコードしてメモリ量を削減する「MIPS16e」，ユーザ定義命令を追加できる「CorExtend」，DSP拡張命令「MIPS DSP ASE」などに対応している．

オプションとして，QoS（quality of service）機能を実現するポリシ・マネージャ，スレッド間通信ユニット，浮動小数点演算ユニットなどを用意する．QoS機能とは，つねにスレッドの状態を監視し，各タスクに対して必要な処理能力を割り当てていく機能である．

すでに，米国iVivity社やオランダMobileye社，米国PMC-Sierra社が本CPUコアのライセンスを受けているという．

■価格
下記に問い合わせ
■連絡先
ミップス・テクノロジーズ
TEL 03-5733-9544
http://www.mips.jp/

NEWS
セイコーエプソン，ゲートアレイ用パッケージとして2.41mm角のWCSPを用意

セイコーエプソンは，同社のゲートアレイ用のパッケージとして，実装面積の小さいWCSP（wafer level chip scale package）を用意する．WCSPは，シリコン・ウェハの状態でパッドと外部のバンプを接続するWLP（wafer level packaging）という技術で製造される．

今回，このWCSPを採用したのは，同社のゲートアレイ「S1L50000シリーズ」のうちの比較的ゲート数の少ない品種である．すなわち，6,000ゲートの「S1L5006x」（パッケージの外形寸法は2.41mm×2.41mm，16ピン），12,000ゲートの「S1L5012x」（同），28,000ゲートの「S1L5028x」（3.04mm×3.04mm，24ピン），75,000ゲートの「S1L5075x」（4.16mm×4.16mm，49ピン），125,000ゲートの「S1L5125x」（5mm×5mm，81ピン）である．このうち，S1L5006xとS1L5012xは，今回新たに製品化した．

S1L5006xとS1L5012xの配線層数は2または3，内部ゲートの入出力伝播遅延時間は0.14ns（電源電源が3.3Vの場合），入力バッファの伝播遅延時間は0.38ns（同5Vの場合），出力バッファの伝播遅延時間は2.12ns（同5Vの場合）である．また，1端子当たりの消費電力は0.7μW/MHz．電源電圧は内部が3.3V，入出力部が5Vまたは3.3V．0.35μmのCMOSプロセスで製造する．

WCSP以外に，QFN（quad flat non-leaded package）やTQFP（thin quad flat package）といったパッケージも用意する．

●セイコーエプソンのホームページ
http://www.epsondevice.com/

出力電流が3Aのときの変換効率が約90％と高いDC-DCコンバータIC

TPS5430

米国Texas Instruments社は，非同期整流型のDC-DCコンバータIC「TPS5430」を発売した．導通時のドレイン-ソース間抵抗（R_{DSon}）が110mΩと低いスイッチ用MOSFETを内蔵する．このため，出力電流が3Aのときの変換効率は約90％と高い．また，－40℃～＋125℃の動作温度範囲で連続3A，ピーク4Aの電流を出力できる．同社では，産業用機器，ディジタル・テレビ，DVDレコーダ，バッテリ・チャージャ，高出力LED，12V/24V分散電源システムなどでの利用を見込んでいる．

1.221Vの内部基準電圧やエラー・アンプ，PWMコンパレータ，ゲート・ドライブ・コントローラ，ゲート・ドライバ，500kHzの発振器，NチャネルMOSFETを内蔵する．外付けの部品はダイオードとインダクタが各1点，コンデンサと抵抗が各2点だけで済む．さらに，過電流保護，加熱保護，電圧降下ロックアウト，ソフト・スタートなどの機能を備えている．

入力電圧は5.5V～36Vで，最低出力電圧は1.23V，最大入出力間電位差は30Vである．変換効率は1A出力時が92％，3.25A出力時が87.5％．出力電圧精度は2％以内，シャットダウン時の消費電流は18μA．放熱特性の高い同社独自の8ピンPowerPADパッケージに封止する．

■価格
1.85ドル（1,000個購入時の単価）
■連絡先
日本テキサス・インスツルメンツ株式会社
FAX 0120-81-0036
http://www.tij.co.jp/jsc/docs/pic/pichome.htm

通信速度が15MBdのマルチチャネル・ディジタル・フォトカプラ

ACSL-6420，ACSL-6410，ACSL-6310，ACSL-6300

米国Avago Technologies社は，ディジタル・フォトカプラを発売した．双方向4チャネル（入力2：出力2）の「ACSL-6420」，双方向4チャネル（入力3：出力1）の「ACSL-6410」，双方向3チャネルの「ACSL-6310」，片方向3チャネルの「ACSL-6300」がある．

用途として，RS-232-C，RS-485，RS-422，SPI（serial peripheral interface）などのパラレルおよびシリアル・インターフェース，マイコンのI/Oインターフェース，A-D/D-Aコンバータ，CANバス，I^2Cバス，PoE（power over Ethernet），全二重通信機器などにおける信号の電気的な絶縁を想定している．

通信速度は15MBd（メガ・ボー），同相除去電圧は10kV/μs，最小パルス幅は100ns，パルス幅ひずみは8nsである．また，立ち上がり時間は35ns，立ち下がり時間は12ns．電源電圧は3V～5.5V，動作温度範囲は－40℃～＋100℃．9.9mm×5.9mm×1.7mmの16ピンSOIC（small outline integrated circuit）パッケージに封止する．UL1577（2500V_{RMS}，1分間），CSA Component Acceptance Notice No.5，IEC/EN/DIN EN 60747-5-2といった国際安全規格に対応している．

Avago Technologies社は，2005年12月1日に米国Agilent Technologies社の半導体事業部門が分離・独立してできた新会社である．

■価格
600円（ACSL-64x0のサンプル価格）
■連絡先
アバゴ・テクノロジー株式会社
TEL 0120-611-280
japan-response.center@avagotech.com
http://www.avagotech.co.jp/

サンプリング・レートが40Gサンプル/s，帯域幅上限が2GHz～13GHzのディジタル・オシロスコープ

Agilent Infiniium 80000Bシリーズ

米国Agilent Technologies社は，サンプリング・レートが40Gサンプル/sのディジタル・オシロスコープ「Agilent Infiniium 80000Bシリーズ」を発売した．アナログ信号の周波数帯域が2GHz，3GHz，4GHz，6GHz，8GHz，10GHz，12GHz，13GHzの8機種を用意する．例えば13GHzの機種の場合，ノイズ・フロアを419μVに抑えた．アナログ周波数帯域については，購入後にアップグレードすることもできる．

PCI Express，Ethernet，DVI，HDMI，FibreChannel，Fully buffered DIMM，SATA（Serial ATA）1/2，Serial Attached SCSI，USB 2.0に対応した規格適合試験ソフトウェアなどを搭載している．また，I^2CやSPI，CANなどのシリアル通信の解析機能を備えている．

2チャネル同時に524,000ポイントを記録できる波形メモリを内蔵する．オプションのメモリを増設すれば，2チャネル同時に最大64Mポイントまで記録できる（4Gサンプル/sの場合）．ディスプレイのサイズはXGA（1024×768ピクセル），表示輝度階調は256段階で，タッチ・スクリーンを搭載する．

トリガ・ジッタは500f_s，垂直解像度は8ビット，感度は1mV/div～1V/divである．また，チャネル間アイソレーションは60dB（DC～3GHz）および40dB（3GHz～8GHz），最大入力電圧は±5V．

■価格
3,604,989円から
■連絡先
アジレント・テクノロジー株式会社
TEL 0120-421-345
http://www.agilent.co.jp/